Chương 2: Bộ vi xử lý 16 bit 80286 Intel

1, Tổ chức phần cứng của VXL 80286

A, Giới thiệu chung

Xung nhịp 16MHz, f chu kỳ máy = ½ f-> t=1/8 s

b,Nhóm chân dữ liệu

A0->A23

Chân A0 có thể phối hợp với tính hiệu để quyết định độ rộng bus dữ liệu

d,Nhóm chân điều khiển

\*Định nghĩa chức năng chu kỳ máy: M/, COD/, S1, S0

-Chu kỳ máy xử lý ngắt

-Chu kỳ máy đọc bộ nhớ

-Chu kỳ máy ghi bộ nhớ

-Chu kỳ máy đọc cổng vào ra

-Chu kỳ máy ghi cổng vào ra

\*Nhóm chân xử lý ngắt: NMI, INTR,INTA

-Gồm 2 loại ngắt

+Ngắt không che được: là yêu cầu ngắt mà bộ VXL bắt buộc phải thực hiện khi có yêu cầu xảy ra

+Ngắt che được: là ngắt mà hệ thống (bộ VXL) có thể quyết định đáp ứng hay k đáp ứng yêu cầu ngắt được gửi đến thông qua phần mềm điều khiển

->Nguyên lý hoạt động của ngắt che được:

Khi có tín hiệu yêu cầu ngắt gửi đến bộ VXL từ chân INTR thì bộ VXL sẽ xét xem ngắt này có bị che hay không. Nếu tín hiệu ngắt đó không bị che thì bộ VXL sẽ thực hiện nốt câu lệnh đang thực hiện dở sau đó cất các thông tin về trạng thái hệ thống vào trong ngăn xếp đồng thời gửi 1 tín hiệu thông qua chân INTA báo cho đối tượng yêu cầu ngắt là yêu cầu ngắt đã được chấp thuận. Sau khi cất xong các trạng thái hệ thống vào ngăn xếp thì bộ VXL sẽ gửi tín hiệu thứ 2 thông qua chân INTA để lấy số hiệu của yêu cầu ngắt, lúc này số hiệu của yêu cầu ngắt sẽ đi qua phần thấp của bus dữ liệu gửi về cho bộ VXL. Bộ VXL sẽ căn cứ vào số hiệu vector ngắt đến chương trình phục vụ ngắt thực hiện nó. Khi thực hiện xong thì bộ VXL sẽ lấy các trạng thái của hệ thống đã cất vào ngăn xếp trước khi phục vụ ngắt và trở lại hoạt động bình thường

-Nhóm chân tương tác với các bộ đồng xử lý toán học

PEREQ, PEACK, BUSY, ERROR

-Nhóm chân truy cập dữ liệu trực tiếp (DMA): HOLD,HLDA,LOCK

2.Cấu trúc của bộ VXL 80286: 16 bit

Gồm 4 khối chính:

-Khối giải mã địa chỉ AU. chuyển đ/c logic -> đ/c thực (vật lý)

-Khối giao tiếp kênh BU: khối giao tiếp kênh, ghép kênh nhịp với kênh hệ thống, đưa ra tín hiệu địa chỉ, dữ liệu và điều khiển để truy cập vào không gian bộ nhớ hay cổng vào ra

-Khối giải mã lệnh IU: giải mã lệnh thành các vi lệnh

-Khối thực hiện lệnh EU: khối thực hiện lệnh (khối điều khiển, khối ALU (tính toán số học và logic), các thanh ghi)

3.Tập các thanh ghi của bộ VXL 80286

-15 thanh ghi: 16 bit

\*Nhóm thanh ghi đa năng: AX,BX,CX,DX

AX: AH,AL

BX: BH,BL

CX: lệnh quay vòng (lặp) hay lệnh dịch chuyển

\*Nhóm thanh ghi quản lý mảng:

-Thành phần đầu tiên của địa chỉ logic

-216 = 64kB

-Mảng chứa mã lệnh: thanh ghi CS

+DS: mảng dữ liệu

+ES: mảng dữ liệu phụ

+SS: mảng ngăn xếp

\*Nhóm con trỏ và chỉ số:

-BP: ~ BX

-SP: thanh ghi con trỏ ngăn xếp

-SI,DI: cặp thanh ghi chỉ số dùng để chuyển, xóa,ghi dữ liệu

SI: trỏ đến dữ liệu nguồn

DI: trỏ đến dữ liệu đích

\*Thanh ghi cờ và trạng thái

-Thanh ghi cờ:

Không sử dung mặc định: ES:[SI] giá trị bên trong địa chỉ ES:SI

Mặc định: [SI] ⬄ DS:[SI] -> DS:SI

CS <- IP

DS <- SI,BX,BP

ES <- DI

SS <- SP

4,Cơ chế quản lý bộ nhớ thực 80286

Seg : offset

DS:[SI]+10 ⬄DS:[SI+10]⬄DS:10[SI]

VD: Tổ chức bộ nhớ RAM có dung lượng 16kByte, độ rộng 8bit từ IC 2764 vị trí đặt RAM trong không gian nhớ:

+Địa chỉ đầu: 2000:0000H

+Địa chỉ cuối: 2000:3FFFH

20000H **0010 00**00 0000 0000 0000

23FFFH **0010 00**11 1111 1111 1111

-> 6 bits đầu cố định

B1:

M= 2m x n x 2k =16 kB =16k x 8bit

-Số lượng IC = 16K x 8bit / 64K bit = 2 (IC)

-> 2 IC nt ⬄ IC1 nt IC2

B2: Địa chỉ: 13 dây -> phần động (A0-A12)M ⬄ (A0-A12)IC­1,2

->Phần tĩnh: A13->A19

Vị trí của Môdun trong không gian bộ nhớ:

A19A18A17A16A15A14 A13A12…A0

**001000**00000000…0000

**001000**11111111…1111

Gọi tín hiệu kích hoạt Modun nhớ là M được tổ chức từ A14-A19

M =A19 + A18 + 17 + A16 + A15 + A14

|  |  |  |  |
| --- | --- | --- | --- |
| M | A13 | 1 | 2 |
| 1 | X | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |

* 1 = M + A13
* 2 = M + 13

B3: Sơ đồ ghép nối

5, Hoạt động của bộ VXL 80286

-Kênh thông tin: (đ/c (20 dây), dữ liệu (16 dây , A0,), điều khiển)

\*Chu kỳ đọc thông tin

-Bao gồm 6 pha: A,B,C,D,E,F

+Pha A: địa chỉ được đưa lên kênh đ/c; pha giải mã lệnh: giải mã lệnh đã được đưa đến từ chu kỳ máy trước (IU – vi lệnh) sau đó gửi các vi kệnh -> EU để thực thi. Cod/Inta, M/IO sẽ xác định

+Pha B: pha phát tín hiệu xác định chu kỳ đọc thông tin, S0,S1 được xác định

+Pha C: chốt địa chỉ trên kênh đ/c, sau khi chốt đ/c thì kênh đ/c đc giải phóng. Có thể cập nhật đ/c của chu kỳ máy tiếp theo  
+Pha D: quá trình thực hiện lệnh hình thành kênh tham chiếu đến đ/c cần đọc dữ liệu, đó là sự phối hợp của 3 tín hiện

-

-DEN: mở bộ chốt dữ liệu

-DT/

Cuối pha D tín hiệu S0,S1 được giải phóng để chuẩn bị cho chu kỳ tiếp theo và tín hiệu Ready tự động chuyển trạng thái từ 1->0

+Pha E: dữ liệu cập nhật trên kênh; M/IO, Cod/Inta được giải phóng, tiếp tục theo dõi trạng thái của Ready

+Pha F: khi tín hiệu Ready 0->1 ⬄ quá trình đọc dữ liệu đã hoàn tất; giải phóng , DEN, DT/